

## **Instrukcja ćwiczenia nr 18**

### **Temat: Synteza układów logicznych sekwencyjnych**

#### **1. Cel ćwiczenia:**

Celem ćwiczenia jest poznanie zasad budowy układów logicznych sekwencyjnych, metodami syntezy oraz budowy z zastosowaniem do cyfrowych układów sterowania.

#### **2. Wprowadzenie:**

W układach sekwencyjnych stany sygnałów wyjściowych zależą od stanów sygnałów wejściowych w danej chwili i w chwilach poprzednich. Stan sygnałów przechowujących informacje o poprzednich stanach wejść nazywamy stanem wewnętrznym. Stan wewnętrzny układu jest zapamiętany w urządzeniach zwanych pamięcią lub przerzutnikiem.

Przerzutnik jest podstawowym elementem układów sekwencyjnych. Jego funkcja polega na zapamiętaniu jednego bitu informacji. Przerzutnik posiada dwa stany wewnętrzne z możliwością przejść w obu kierunkach (z 1 na 0 i z 0 na 1). Często zrealizowane przerzutniki mają wyjście równe stanowi  $Q$  i zanegowane  $\bar{Q}$ . Zmiana stanu przerzutnika występuje pod wpływem zmiany sygnałów wejściowych. Ze względu na moment zmiany stanu przerzutnika, dzielą się na:

- asynchroniczne,
- synchroniczne.

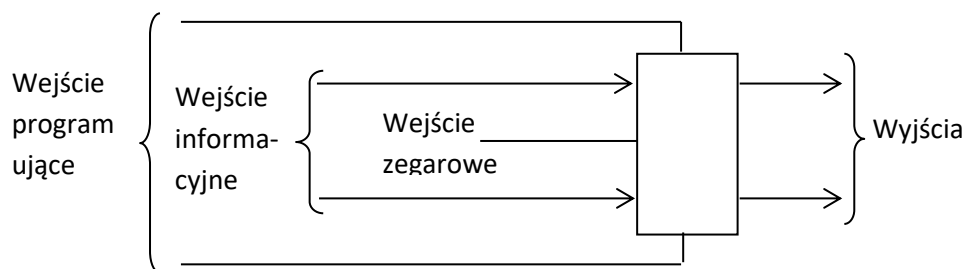
Przerzutniki asynchroniczne są to układy, w których zmiana stanu następuje natychmiast po zmianie wartości sygnałów wejściowych. Przerzutnik synchroniczny jest układem mającym dwa rodzaje wejść:

- wejście informacyjne,

- wejście zegarowe.

Zmiana stanu przerzutnika może nastąpić tylko w czasie trwania sygnału zegarowego. Stan przerzutnika zależy od wartości sygnałów informacyjnych oraz od stanu poprzedniego. W przerzutniku synchronicznym mogą występować asynchroniczne wejścia programujące pozwalające na asynchroniczne ustalenia stanu przerzutnika. Wejścia asynchroniczne mają zawsze priorytet w stosunku do pozostałych wejść przerzutnika.

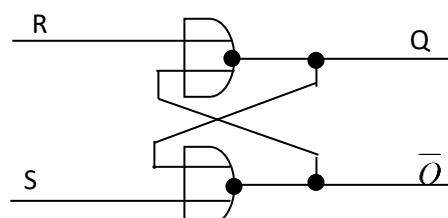
W praktyce stosuje się cztery typy przerzutników: RS, JK, D i T. Działanie logiczne przerzutnika synchronicznego najczęściej ilustruje się za pomocą tablicy stanów, w której przedstawione są stany na wejściach informacyjnych przed nadejściem impulsu zegarowego (w chwili  $t_n$ ) i stany na wyjściach po wystąpieniu impulsu zegarowego (w chwili  $t_{n+1}$ ). Tablicę stanów można otrzymać bezpośrednio z grafu lub tablicy przejść przerzutnika (tablica Karnaugh'a dla  $Q_n$ ). Na rysunku 1 pokazano symbol graficzny przerzutnika z wejściami i wyjściami.



Rys.1. Symbol graficzny przerzutnika

## 1. Asynchroniczny przerzutnik RS

Schemat budowy przerzutnika RS wykonanego z dwóch bramek NOR odpowiednio połączonych ze sobą przedstawia rys.2. Przerzutnik ten posiada dwa wejścia programujące R i S oraz dwa wyjścia, Q i zanegowane  $\bar{Q}$ . Stany wejść R i S oddziałują asynchronicznie na stan przerzutnika. Kombinacja sygnałów wejściowych R=0 i S=1 ustawia na wyjściu stan 0, kombinacja R=1 i S=0 powoduje ustawienie na wyjściu przerzutnika stan 1, natomiast podczas trwania kombinacji R=S=0 pamiętany jest stan przerzutnika, który został ostatnio ustawiony. Kombinacja sygnałów wejściowych R=S=1 jest zabroniona ponieważ stan na wyjściu przerzutnika jest nieokreślony.



$$Q_{n+1} = \overline{R + \overline{Q_n}} = \overline{R}(S + Q_n)$$

$$\overline{Q}_{n+1} = \overline{S + Q_n} = \overline{S}(R + \overline{Q_n})$$

R	0	0	0	0	1	1	1	1
S	0	0	1	1	0	0	1	1
Q <sub>n</sub>	0	1	0	1	0	1	0	1
Q <sub>n+1</sub>	0	1	1	1	0	0	-	-

Rys.2. Asynchroniczny przerzutnik typu RS zbudowany z bramek NOR:

a) schemat logiczny, b) tablica stanów.

## 2. Synchroniczne przerzutnik typu RS

Symbol graficzny synchronicznego przerzutnika RS i jego działanie logiczne zilustrowano na rys. 3. Wejściami informacyjnymi są synchronizowane wejścia R i S. Wejście C jest wejściem dla impulsów zegarowych. Przerzutnik podczas wyzwalania go impulsem zegarowym:

- nie zmienia stanu, jeśli R=S=0,
- ustawi się w stanie 0, jeśli R=1 i S=0,
- ustawi się w stanie 1, jeśli R=0 i S=1.

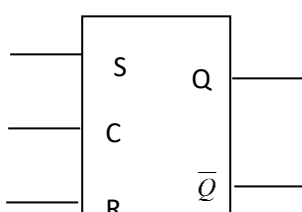
Stan przerzutnika będzie nieokreślony dla R=S=1. Równanie logiczne przerzutnika RS otrzymane na podstawie tablicy Karnaugh'a ma postać:

$$Q_{n+1} = S_n + \overline{R_n} \cdot Q_n$$

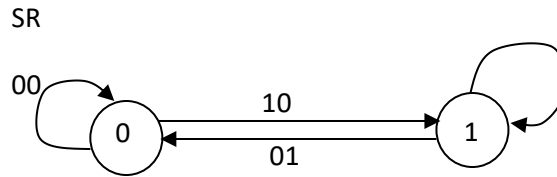
S <sub>n</sub>	0	0	1	1
R <sub>n</sub>	0	1	0	1
Q <sub>n+1</sub>	Q <sub>n</sub>	0	1	-

Rys.3. Synchroniczny przerzutnik typu RS: tablica charakterystyczna.

a)



b)



c)

$S_n R_n$

$Q_n$	00	01	11	10
0	0	0	-	1
1	1	0	-	1

Rys.4. Synchroniczny przerzutnik typu RS: a) symbol graficzny, b) graf, c) tablica Karnaugh'a dla  $Q_{n+1}$ .

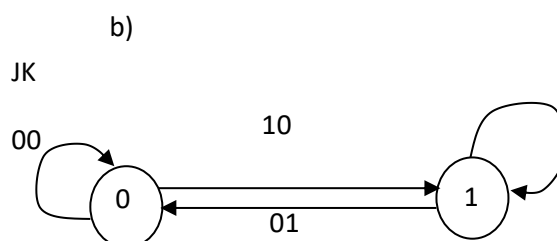
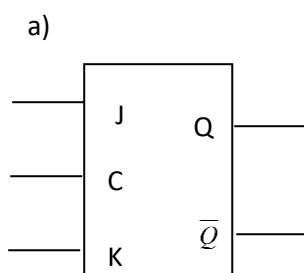
### 3. Synchroniczne przerzutnik typu JK

Wejścia informacyjne tego przerzutnika oznaczone J i K odpowiadają wejściom S i R przerzutnika RS. Jedyna różnica w działaniu obu typów polega na tym, że w przypadku  $R=S=1$  stan przerzutnika RS jest nieokreślony, natomiast dla  $J=K=1$  stan następnego przerzutnika JK będzie negacją stanu aktualnego. Przerzutnik JK jest funkcjonalnie najbardziej uniwersalny. Równanie logiczne przerzutnika JK ma postać:

$$Q_{n+1} = J_n \overline{Q_n} + \overline{K_n} \cdot Q_n$$

$J_n$	0	0	1	1
$K_n$	0	1	0	1
$Q_{n+1}$	$Q_n$	0	1	$\overline{Q_n}$

Rys.5. Synchroniczny przerzutnik typu JK: tablica charakterystyczna.



c)

$J_n K_n$

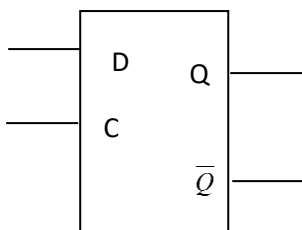
$Q_n$	00	01	11	10
0	0	0	-	1
1	1	0	-	1

Rys.6. Synchroniczny przerzutnik typu JK: a) symbol graficzny, b) graf, c) tablica Karnaugh'a dla  $Q_{n+1}$ .

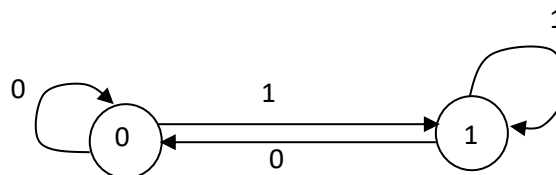
#### 4. Synchroniczne przerzutnik typu D

Symbol graficzny synchronicznego przerzutnika typu D i jego działanie logiczne przedstawiono na rys. 7. Równanie logiczne przerzutnika D ma postać:  $Q_{n+1} = D_n$

a)



b)



c)

$Q_{n+1}$

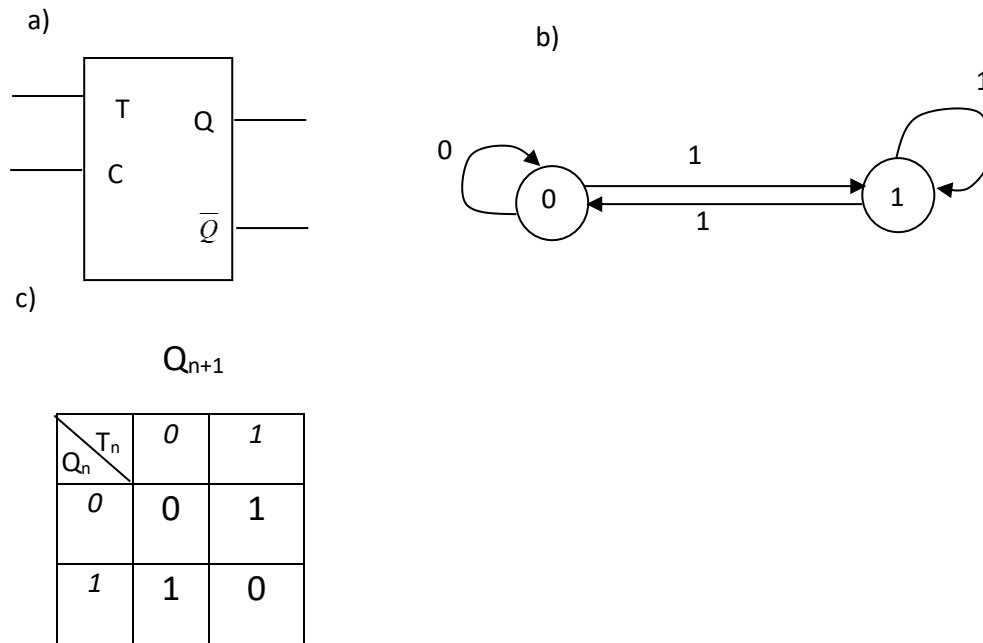
$Q_n \backslash D_n$	0	1
0	0	1
1	0	1

Rys.7. Synchroniczny przerzutnik typu D: a) symbol graficzny, b) graf, c) tablica Karnaugh'a dla  $Q_{n+1}$ .

#### 5. Synchroniczne przerzutnik typu T

Symbol graficzny synchronicznego przerzutnika typu T i jego działanie logiczne przedstawiono na rys. 8. Równanie logiczne przerzutnika T ma postać:

$$Q_{n+1} = T_n \overline{Q_n} + \overline{T_n} Q_n$$



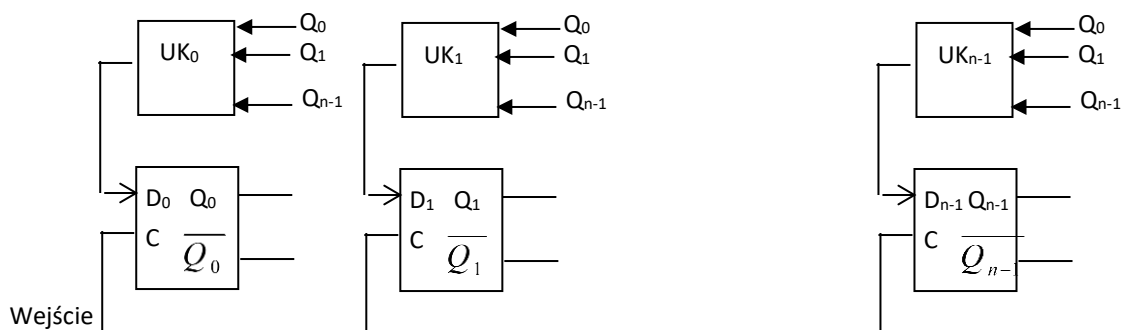
Rys.8. Synchroniczny przerzutnik typu T: a) symbol graficzny, b) graf, c) tablica Karnaugh'a dla  $Q_{n+1}$ .

## Synteza układów sekwencyjnych

Najbardziej typowe układy sekwencyjne to liczniki i rejestry. Strukturę bardziej złożonych układów sekwencyjnych można na ogół tak rozdzielić, aby wyodrębnić w nich te dwa typy układów.

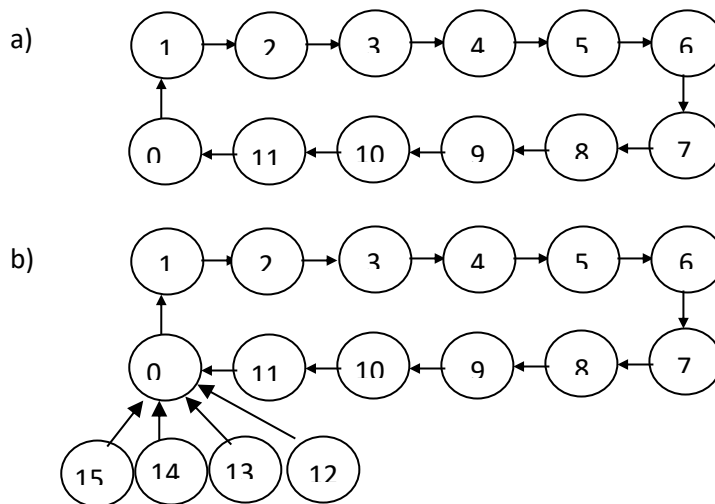
### 1. Licznik synchroniczny.

Liczniki synchroniczne wykonuje się w ten sposób, że wejścia zegarowe wszystkich przerzutników wchodzących w skład licznika są połączone razem iysterowane jednym sygnałem. Wejścia informacyjne przerzutnika sąysterowane przez układy kombinacyjne tak dobrane, aby licznik zmieniał swoje stany według pożądanego grafu przejść. Struktura licznika synchronicznego zbudowanego z przerzutników typu D jest okazana na rys.9.



*Rys.9. Ogólna struktura licznika synchronicznego zbudowanego na przerzutnikach typu D.*

Na rys. 10a pokazany jest graf przejść licznika modulo 12, natomiast na rys. 10b graf tego samego układu, ale z uwzględnieniem założenia, że licznik zeruje się dla stanów większych od 11, przechodząc do stan 0 i powtarza pętlę podstawową.



*Rys.2. Graf przejść licznika synchronicznego modulo 12: a) bez zerowania, b) z zerowaniem stanów przypadkowych.*

Realizacja projektu licznika wg grafu 10a będzie prostsza. Poniżej przedstawiono metodę wyznaczania funkcji wzbudzeń dla poszczególnych wejść. Założono wykorzystanie przerzutników typu D. Stąd wynika konieczność wyznaczenia 4 funkcji  $D_0$ ,  $D_1$ ,  $D_2$ ,  $D_3$  na wejściach informacyjnych tych przerzutników. W tym celu należy przenieść graf do tablicy Karnaugh'a i posługując się tablicą wzbudzeń przerzutnika typu D wypełni cztery tablice Karnaugh'a dla wszystkich wejść. Następnie należy zminimalizować funkcje wejściowe. Ten sam układ zrealizowany na przerzutnikach JK będzie wymagał

znacznie prostszych funkcji sterujących wejściami informacyjnymi przerzutników.

Przy projektowaniu układów synchronicznych należy wykonać w kolejności następujących czynności:

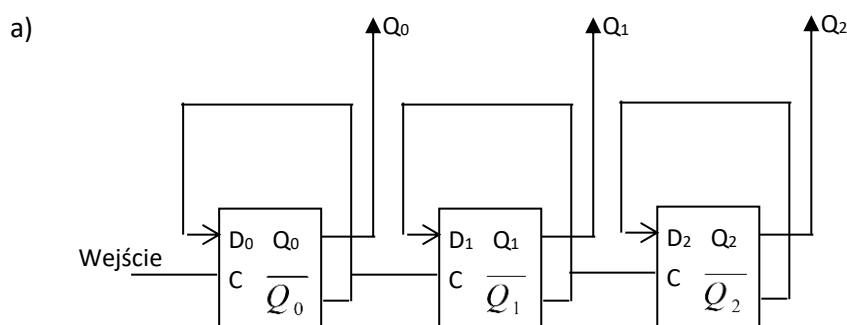
- Określić liczbę przerzutników  $k$  na podstawie wartości najwyższego stanu  $n$ :  $k \geq \log_2(n + 1)$
- Na podstawie tablicy stanów licznika i tablicy wzbudzeń przerzutników zrealizować tablicę Karnaugh'a dla każdego z wejść informacyjnych przerzutników i zminimalizować je,
- Otrzymane funkcje logiczne zrealizować za pomocą bramek logicznych.

Szybkość pracy liczników synchronicznych jest duża. Częstotliwość graniczną licznika wyznacza czas propagacji jednego przerzutnika powiększony o czas propagacji sygnału przez najdłuższą ścieżkę w układzie kombinacyjnym.

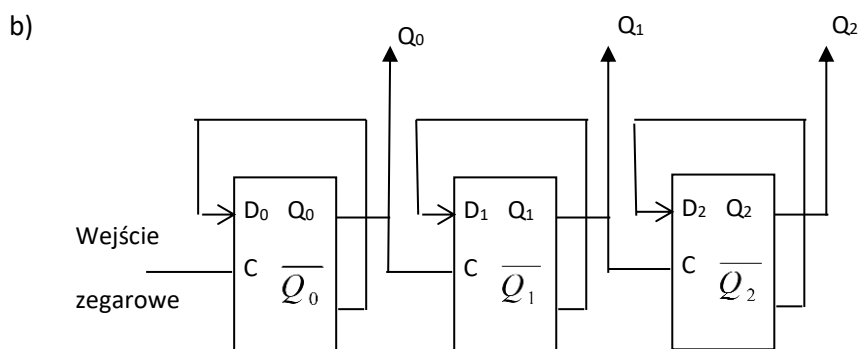
## 2. Liczniki asynchroniczne

W licznikach asynchronicznych zliczane impulsy są podawane na jeden lub na niektóre z wejść zegarowych przerzutników. Najprostsze liczniki asynchroniczne są zbudowane przez kaskadowe połączenie, tzw. dwójek liczących, czyli liczników modulo 2, tworząc licznik modulo  $2^n$  liczący do przodu czy do tyłu, w zależności od sposobu sprzęgania poszczególnych przerzutników ze sobą.

Aby otrzymać licznik liczący do przodu należy na wejście zegarowe kolejnego przerzutnika podać sygnał z wyjścia  $\overline{Q}$  poprzedzającego przerzutnika. W przypadku licznika liczącego do tyłu należy na wejście zegarowe podać sygnał z wyjścia  $Q$  poprzedzającego przerzutnika. Pokazuje to rysunek 4, który przedstawia dwa liczniki modulo 8, liczący do przodu i do tyłu.

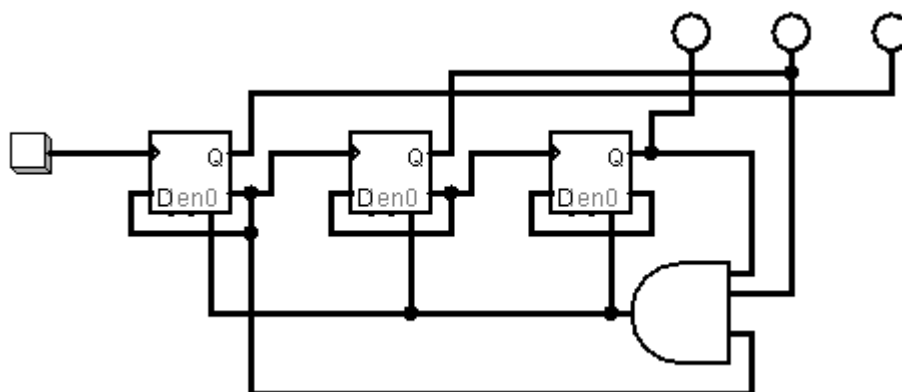






Rys.4. Licznik asynchroniczny modulo 8: a) liczący do przodu, b) liczący do tyłu.

W przypadku licznika modulo  $n$ , gdzie  $n \neq 2^k$ , naturalną pętlę licznika asynchronicznego należy skrócić. Do tego celu stosuje się układ kombinacyjny wykrywający stan  $n$ , którego wyjście podawane jest na wejścia zerujące wszystkich przerzutników. Przykład licznika asynchronicznego modulo 6 przedstawia rysunek 5. Układem kombinacyjnym wykrywającym stan 5 (110) jest tu bramka AND.



Rys.5. Licznik asynchroniczny modulo 6 z kombinacyjnym układem zerującym

### 3. Liczniki synchroniczne

W licznikach synchronicznych zliczane impulsy są podawane na wszystkie wejścia zegarowe przerzutników. Na podstawie tablicy stanów licznika i tablicy wzbudzeń przerzutników jest zrealizowana tablica Karnaugh'a dla każdego z wejść informacyjnych przerzutników i zminimalizowana. Otrzymane funkcje logiczne zrealizowane są za pomocą bramek logicznych (rys. 6).

Przykład 6. Zbudować licznik realizujący sekwencję liczenia

$0 \rightarrow 1 \rightarrow 2 \rightarrow 4 \rightarrow 5 \rightarrow 7$ , zbudowany z przerzutników typu D.

W tym przypadku tablica wzbudzeń jest taka sama jak tablica wyjściowa licznika.

Tablica stanów i tablica wzbudzeń

Stan	Q(t)			Q(t+1)			D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>			
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	0	0	1	0
2	0	1	0	1	0	0	1	0	0
4	1	0	0	1	0	1	1	0	1
5	1	0	1	1	1	1	1	1	1
7	1	1	1	0	1	0	0	1	0

Tablice Karnaugh'a

Dla D<sub>2</sub>

Q <sub>2</sub> \ Q <sub>1</sub> Q <sub>0</sub>	00	01	11	10
0	0	0	X	1
1	1	1	0	X

$$D_2 = \overline{Q_2}Q_1 + \overline{Q_1}Q_2 = Q_2 \oplus Q_1$$

Dla  $D_1$

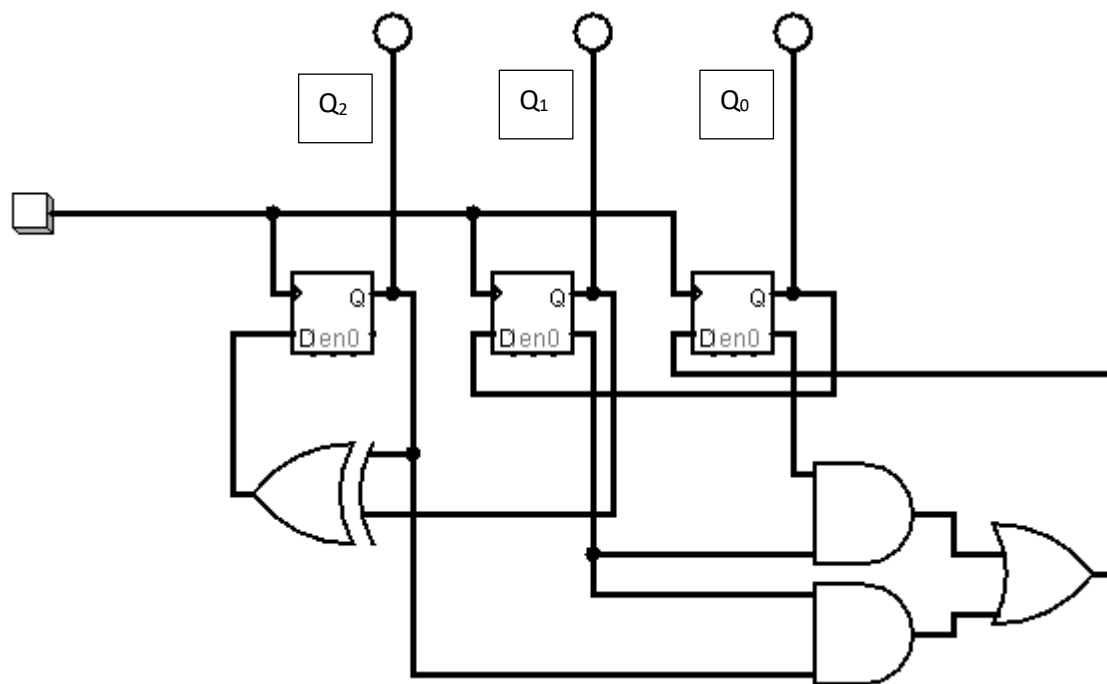
$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	1	X	0
1	0	1	1	X

$$D_1 = Q_0$$

Dla  $D_0$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	1	0	X	0
1	1	1	0	X

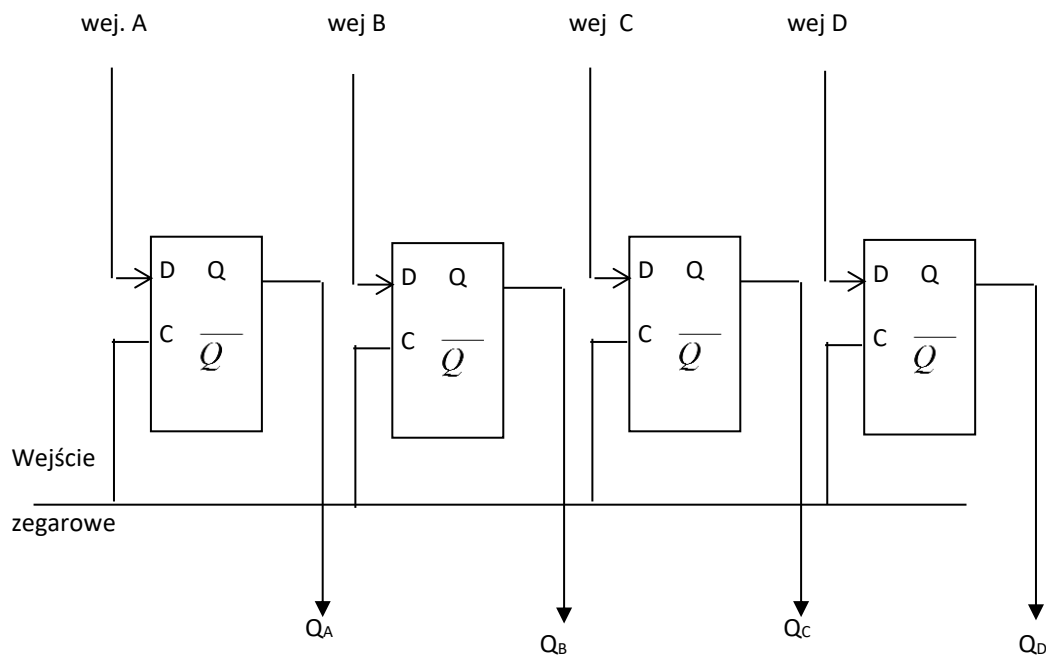
$$D_0 = \overline{Q_0} \overline{Q_1} + \overline{Q_1} Q_2$$



Rys.6. Licznik synchroniczny przykładu 6.

## REJESTRY

Rejestrami są układy służące do przechowywania informacji kilkubitowej. Informacja może być do rejestru wprowadzana i wyprowadzana równolegle lub szeregowo. W tym drugim przypadku mamy do czynienia z rejestrem przesuwным. Jest to układ, w którym informacja podlega przemieszczeniu w lewo lub w prawo w takt impulsów zegarowych. Do budowy rejestrów najwygodniej jest używać przerzutników typu D, których istota działania polega na zapamiętaniu informacji podane na wejścia D. Na rys. 1 pokazano przykładowe rozwiązania rejestrów.



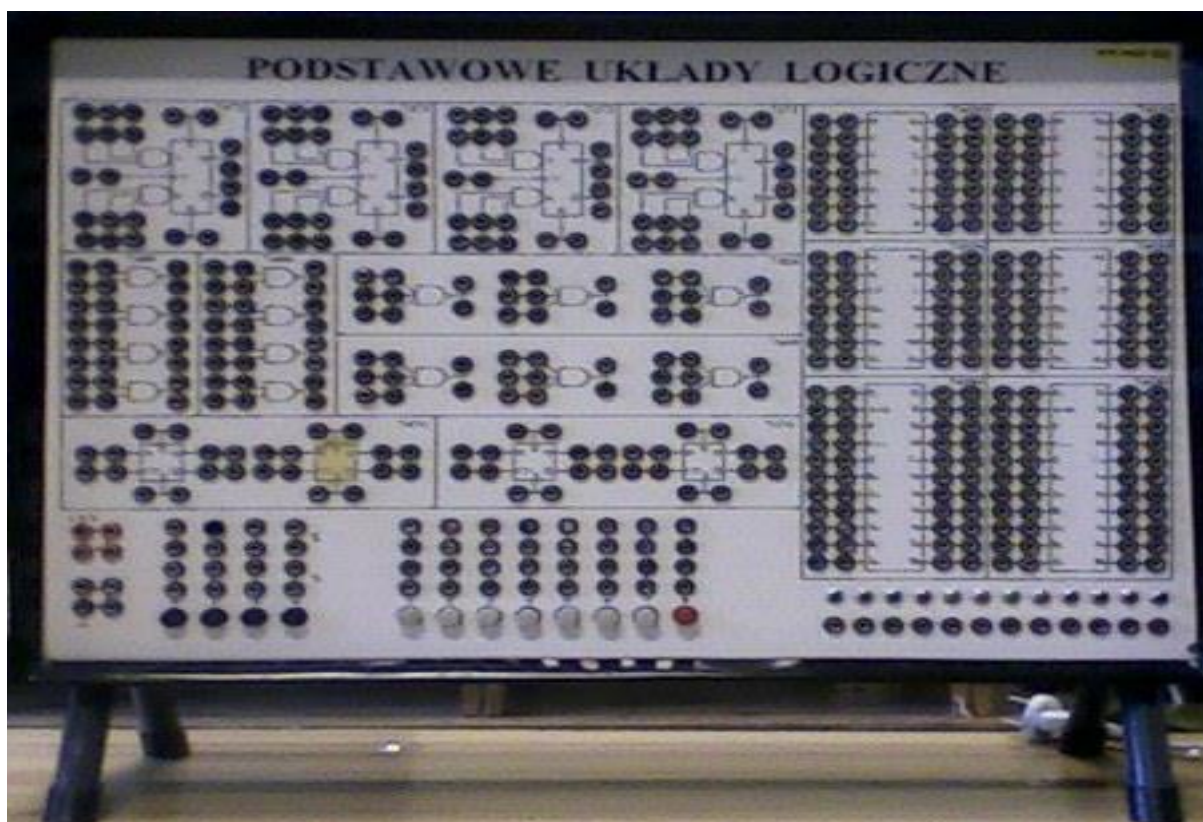
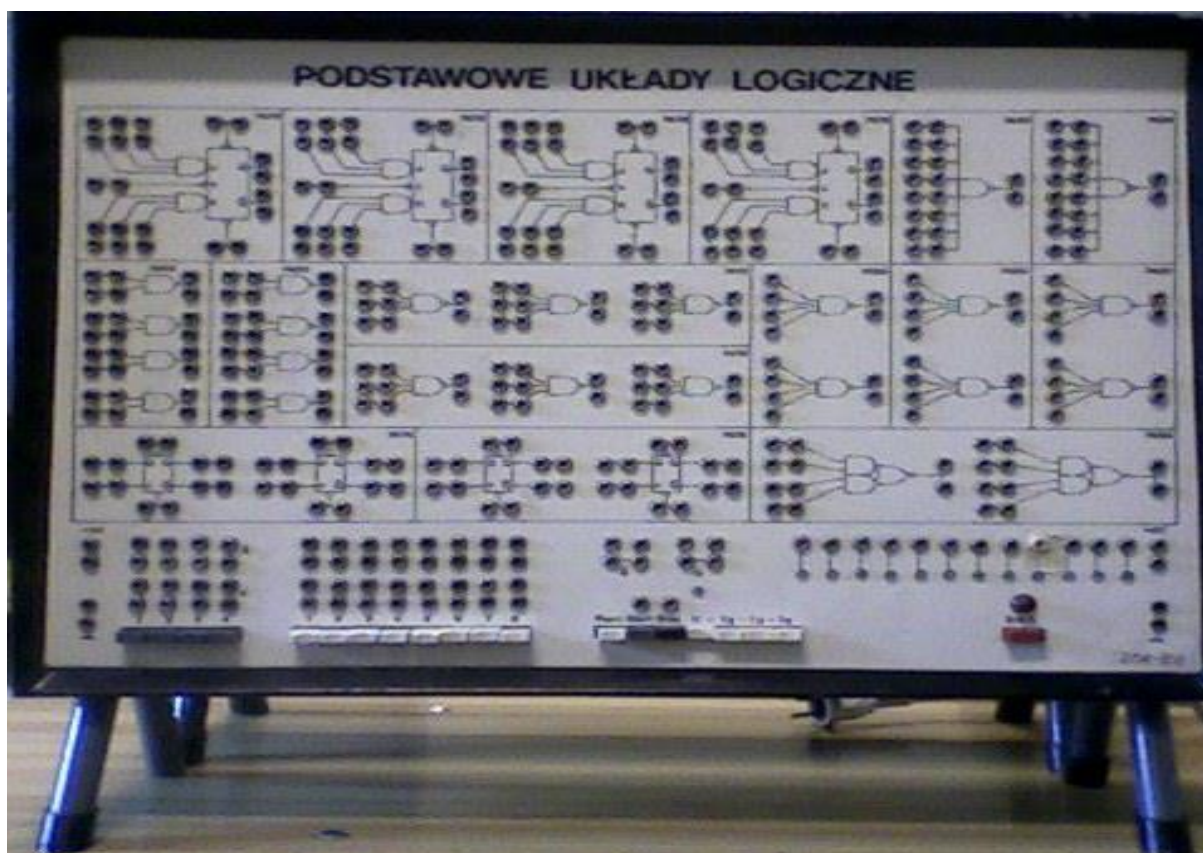
*Rys.1. Rejestr czterobitowy z równoległym wprowadzaniem i wyprowadzaniem informacji.*

### 3. Stanowisko pomiarowe:

Stanowisko laboratoryjne stanowią dwie tablice ze zmontowanymi bramkami logicznymi dostępnymi na rynku. Są to bramki typu:

- negacja (NOT),
- negacja koniunkcji (NAND) z 2, 3, 4, 8-ma wejściami,
- przerzutniki synchroniczne typu D, R-S, J-K,
- Układy scalone

Wyposażone one także są w przyciski generujące sygnały jednobitowe, lampki diodowe sygnalizujące i zegar systemowy taktujący ze stałą nastawialną częstotliwością



*Rys.6. Stanowiska badań układów logicznych.*

#### **4. Przebieg ćwiczenia**

- zbudować tabelę wartości funkcji logicznej licznika modulo  $n$  podanego przez prowadzącego,
- zbudować tabelę Karnaugh'a i przeprowadzić minimalizację przez sklejenia dla układu kombinacyjnego,
- przekształcić minimalizowaną funkcję z wykorzystaniem bramek NAND za pomocą wzoru Morgan'a,
- narysować schemat połączenia z użyciem przerzutników typu D i zbudować otrzymany układ na tablicy logicznej,
- przetestować działania układu sterowania zgodnie z podanym zadaniem.

#### **5. Sprawozdanie z ćwiczenia**

W sprawozdaniu należy podać:

Schemat połączeń zbudowanego układu z oznaczeniem elementów wg symboliki znormalizowanej wraz z krótkim opisem ćwiczenia.

#### **6. Pytania kontrolne**

Logiczne układy sterowania – definicje i rodzaje  
Podstawowe działania na funkcjach logicznych – aksjomaty.  
Funkcjonalnie układy pełne i minimalne. Postać kanoniczna funkcyjna.  
Metoda minimalizacji Karnaugh'a.  
Podstawowe bramki logiczne i ich symbole wg normy.  
Budowa i działanie układu pamięciowego.

#### **Literatura**

1. Findeisen W. : Technika regulacji automatycznej.
2. Traczy W. : Układy cyfrowe automatyki.
3. Wasilewski L. : Laboratorium podstaw techniki cyfrowej.